

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-110855
(P2014-110855A)

(43) 公開日 平成26年6月19日(2014.6.19)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 2	2 H 0 4 O
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 1 6 1
H 0 4 N 7/18 (2006.01)	H 0 4 N 7/18 M	5 C 0 5 4

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特願2012-266534 (P2012-266534)	(71) 出願人	000113263
(22) 出願日	平成24年12月5日 (2012.12.5)		H O Y A 株式会社
			東京都新宿区中落合2丁目7番5号
		(74) 代理人	100090169
			弁理士 松浦 孝
		(74) 代理人	100124497
			弁理士 小倉 洋樹
		(74) 代理人	100147762
			弁理士 藤 拓也
		(72) 発明者	小林 徹至
			東京都新宿区中落合2丁目7番5号 H O
			Y A 株式会社内
		Fターム(参考)	2H040 CA04 CA11 CA12 CA23 DA13
			GA02 GA11

最終頁に続く

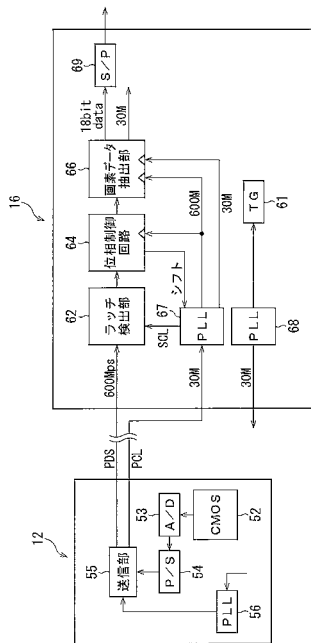
(54) 【発明の名称】 内視鏡装置

(57) 【要約】

【課題】内視鏡装置において、簡易な構成で同期ずれなく画素データを高速シリアル伝送する。

【解決手段】ビデオスコープ先端部に設けられた送信部55において、シリアル画素データに対し所定間隔で同期クロックを埋め込み、シリアルデータPDSをプロセッサ側へ送信する。それとともに、同期クロックの周波数と同じ並走クロックPCLを、シリアルデータPDSとは別に送信する。ビデオスコープのコネクタ部に設けられた受信部16では、並走クロックPCLによってPLL回路67が位相をロックし、画素データ抽出部66において、同期クロックとシリアル画素データを分離する。そして、同期クロックを正確にラッチしているか確認し、同期ずれが生じている場合、PLL回路を位相シフト制御し、同期クロックの出現位置と並走クロック信号のエッジ部分とを一致させる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

スコープ先端部に設けられた撮像素子と、

スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、シリアルデータを出力する送信部と、

スコープ基端側もしくは内視鏡プロセッサに設けられ、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、

前記送信部が、同期クロックの周波数に応じた並走クロックをシリアルデータとは別に出力し、

前記受信部が、受信した並走クロックによって位相をロックする PLL 回路を有し、

前記受信部が、位相ロック後に前記 PLL 回路から出力される抽出クロックに従って、シリアル画素データを抽出することを特徴とする内視鏡装置。

【請求項 2】

前記受信部が、同期クロックのエッジ位置と PLL の位相とが一致するように、前記 PLL 回路の位相をシフトさせることを特徴とする請求項 1 に記載の内視鏡装置。

【請求項 3】

前記受信部が、

シリアル画素データの中から、前記 PLL 回路からの抽出クロックに応じたタイミングでデータを抽出するラッチ部と、

抽出されたデータが同期クロックのエッジ部分に対応したデータとなるように、前記 PLL 回路の位相を調整する PLL 位相制御部と

を備えることを特徴とする請求項 1 乃至 2 のいずれかに記載の内視鏡装置。

【請求項 4】

前記送信部が、シリアルデータの伝送周波数よりも小さい周波数で並走クロック送信させることを特徴とする請求項 1 乃至 3 のいずれかに記載の内視鏡装置。

【請求項 5】

前記送信部が、

シリアル画素データのデータ数をカウントするカウンタと、

所定データ幅に応じたカウント数に合わせて同期クロックをシリアル画素データ内に埋め込むセクタと

を備えることを特徴とする請求項 1 乃至 4 のいずれかに内視鏡装置。

【請求項 6】

スコープ先端部に設けられた撮像素子と、

スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、シリアルデータを出力する送信部と、

スコープ基端側に設けられ、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、

前記送信部が、同期クロックの周波数に応じた並走クロックをシリアルデータとは別に出力し、

前記受信部が、受信した並走クロックによって位相をロックする PLL 回路を有し、

前記受信部が、位相ロック後に前記 PLL 回路から出力される抽出クロックに従って、シリアル画素データを抽出することを特徴とする内視鏡装置のビデオスコープ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スコープ（内視鏡）によって器官内壁などの被写体を観察、処置等する内視

10

20

30

40

50

鏡装置に関し、特に、スコープ先端部に設けられた撮像素子から読み出される画素信号のシリアル伝送に関する。

【背景技術】

【0002】

電子内視鏡装置においては、撮像素子がビデオスコープ先端部に設けられており、撮像素子から読み出されたアナログ画像信号は、ビデオスコープ内部に配線された信号線によってスコープ基端側／プロセッサ側へ伝送される。そして、スコープコネクタ部あるいはプロセッサ内部に設けられた画像処理回路においてデジタル化され、画像信号が生成される。

【0003】

CCDを使用する場合、アナログ画素信号をスコープ先端部からプロセッサ側へ伝送する。このとき、信号線が比較的長いためにノイズが生じ、観察画像の画質を低下させる。一方、CMOSを使用する場合、撮像チップとして構成されるため、スコープ先端部において画素信号をデジタル化し、パラレル／シリアル変換してからシリアル画素データをプロセッサ側へシリアル伝送することが可能である（特許文献1参照）。

【0004】

シリアル伝送としては、8b／10bと呼ばれるシリアル伝送方式が一般的に採用される。具体的には、8b／10bのデータ変換表に基づき、撮像素子から読み出されるパラレル8ビットの画素データに対してクロックを埋め込み、ランレングスの短い10ビットデータに変換する。そして、パラレル／シリアル変換部によってパラレルデータをシリアルデータに変換し、プロセッサ側へ伝送する。

【0005】

スコープのコネクタ部もしくはプロセッサ内に設けられる受信回路では、送られてきたシリアル信号の位相を検出してクロック信号を発生させる。8b／10b伝送方式では、埋め込んだクロックを10ビットデータから自動的に抽出可能なデータ配列になっており、新たに抽出したクロック信号によって画素データをリタイミングする。

【0006】

これにより、1GHzレベルで高速シリアル伝送した場合に生じる画素データ伝送周波数とクロック信号との同期ずれを解消し、プロセッサ側のクロックと同期する画素データを生成することができる。その後、シリアル／パラレル変換部によってシリアルデータをパラレルデータに変換し、同じ8b／10b変換表に基づいて8ビットの画素データを復元する。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2009-201540号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

8b／10b伝送方式のような高速シリアル伝送方式の場合、送信側、受信側にデータ量の大きい変換テーブルをメモリ等に格納し、データ変換処理回路を設ける必要がある。このような専用回路をスコープ先端部に設けることは、スコープ先端部をできる限り細径化することへの障害となる。また、変換処理回路を撮像素子傍に設けることで、画素信号を撮像素子から読み出すとき、ノイズを発生させる恐れがある。

【0009】

したがって、簡素な回路構成によって、画素データをスコープ先端部からプロセッサ側へ同期ずれなく高速シリアル伝送することが求められる。

【課題を解決するための手段】

【0010】

本発明の内視鏡装置は、スコープ先端部に設けられた撮像素子と、スコープ先端部に設

10

20

30

40

50

けられ、撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔でクロックデータ（以下では、同期クロックという）を埋め込み、シリアルデータを出力する送信部と、スコープ基端側もしくは内視鏡プロセッサに設けられ、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備える。

【0011】

そして、送信部が、同期クロックの周波数に応じたクロック信号（以下では、並走クロックという）をシリアルデータとは別に出力する。一方、受信部は、受信した並走クロックによって位相をロックするPLL回路を有し、位相ロック後にPLL回路から出力されるクロック信号（以下では、抽出クロックという）に従って、シリアル画素データを抽出する。

10

【0012】

PLL回路によって別途送られてきたクロック信号によって、PLL回路が位相ロックし、同期EDの位相と並走クロックの周波数をマッチングさせる。受信部は、同期クロックのエッジ位置とPLLの位相とが一致するように、PLL回路の位相をシフトさせることができる。

【0013】

例えば受信部は、シリアル画素データの中から、PLL回路からの抽出クロックに応じたタイミングでデータを抽出するラッチ部と、抽出されたデータが同期クロックのエッジ部分に対応したデータとなるように、PLL回路の位相を調整するPLL位相制御部とを備える。

20

【0014】

送信部は、ノイズ対策として、シリアルデータの伝送周波数よりも小さい周波数で並走クロック送信させるのがよい。

【0015】

例えば送信部は、シリアル画素データのデータ数をカウントするカウンタと、所定データ幅に応じたカウント数に合わせて同期クロックをシリアル画素データ内に埋め込むセレクタとを備える。

【発明の効果】

【0016】

このように本発明によれば、内視鏡装置において、簡易な構成で同期ずれなく画素データを高速シリアル伝送することができる。

30

【図面の簡単な説明】

【0017】

【図1】第1の実施形態である電子内視鏡装置のブロック図である。

【図2】送信部を含む撮像ユニットおよび受信部の詳細なブロック図である。

【図3】送信部の一部構成を示す論理回路図である。

【図4】伝送するシリアルデータおよび並走させるクロック信号を示した図である。

【図5】受信部におけるシリアルデータ受信処理および同期調整処理のフローチャートである。

【図6】第2の実施形態における送信部と受信部のブロック図である。

40

【図7】受信部に設けられた論理回路の回路図である。

【図8】シリアルデータおよび帰還抽出クロックのタイミングチャートである。

【図9】受信側における同期調整処理のフローチャートである。

【図10】送信側におけるイニシャルクロックデータ送信処理のフローチャートである。

【発明を実施するための形態】

【0018】

以下では、図面を参照して本実施形態である電子内視鏡装置について説明する。

【0019】

図1は、第1の実施形態である電子内視鏡装置のブロック図である。

【0020】

50

電子内視鏡装置は、その挿入部分が体内へ挿入されるビデオスコープ１０と、プロセッサ３０とを備え、ビデオスコープ１０はプロセッサ３０に着脱自在に接続される。プロセッサ３０には、モニタ８０が接続されている。

【００２１】

プロセッサ３０は、放電ランプなどで構成される光源装置３４を備える。光源装置３４から出力される照明光は、集光レンズ（図示せず）を介して、ビデオスコープ１０内に設けられたライトガイド１１に入射する。ライトガイド１１に入射した光は、ライトガイド１１内部を通してスコープ先端部１０Ｔから射出し、配光レンズ１４Ａを介して被写体（観察対象）に照射される。

【００２２】

被写体で反射した照明光は、スコープ先端部に設けられた、カバーガラス１４Ｂ、対物レンズ１３を通り、これによって、対物レンズ１３後方に位置する撮像ユニット１２内に設けられたイメージセンサ５２の受光面に被写体像が形成される。

【００２３】

イメージセンサ５２は、Ｘ－Ｙ独立型撮像素子であり、ここではＣＭＯＳセンサで構成される。イメージセンサ５２において生じる１フィールド／フレーム分の画像信号は、撮像素子駆動回路１９によって所定の読み出し時間間隔（例えば、１／６０秒もしくは１／３０秒間隔）で読み出される。イメージセンサ５２には、Ｃｙ、Ｙｅ、Ｇ、ＭｇあるいはＲ、Ｇ、Ｂから成る色要素をモザイク配列させた色フィルタが配設されており、カラー撮像方式として同時単板式が適用されている。

【００２４】

イメージセンサ５２から読み出された画素信号は、デジタル化、シリアル化された後、ビデオスコープ１０の基端側に設けられたコネクタ部１０Ｃへ送信される。コネクタ部１０Ｃは、スコープコントローラ１５、受信部１６、画像処理回路１７、タイミングジェネレータ１８、撮像素子駆動回路１９を備える。ＣＰＵ、ＲＡＭ、ＲＯＭなどを含むスコープコントローラ１５は、撮像ユニット１２、タイミングジェネレータ１８などへ制御信号を送信し、スコープ動作全体を制御する。スコープ動作制御プログラムは、ＲＯＭに格納されている。

【００２５】

画像処理回路１７では、送られてきたデジタル画素信号に対してホワイトバランス処理、ガンマ補正処理などの信号処理が施される。これにより、カラーデジタル画像信号が生成される。カラーデジタル画像信号は、プロセッサ３０の後段処理回路３２へ送られる。

【００２６】

後段処理回路３２では、輪郭強調などの画像処理が施される。後段処理回路３２から出力された画像信号が映像信号としてモニタ８０に出力されることにより、観察画像が動画としてモニタ８０に表示される。

【００２７】

ＣＰＵ、ＲＯＭ、ＲＡＭなどを含むシステムコントロール回路４０は、光源装置３４などへ制御信号を出力し、プロセッサ３０全体の動作を制御する。プロセッサ制御に関するプログラムは、ＲＯＭにあらかじめ格納されている。また、システムコントロール回路４０は、スコープコントローラ１５との間で相互通信可能である。

【００２８】

次に、図２～４を用いて、ビデオスコープの先端側に設けられた送信部、プロセッサ側に設けられた受信部の構成を説明する。

【００２９】

図２は、送信部を含めた撮像ユニットおよび受信部の詳細なブロック図である。図３は、送信部の一部構成を示す論理回路図である。図４は、伝送するシリアルデータおよび並走させるクロック信号を示した図である。

【００３０】

撮像ユニット１２は、ＣＭＯＳ型のイメージセンサ５２、Ａ／Ｄ変換器５３、パラレル

10

20

30

40

50

／シリアル変換器 54、送信部 55、PLL 回路 56 を備え、1 つのデバイスとして構成される。PLL 回路 56 は、位相検出器、LPF、VOC、分周器を備えており、所定の周波数でクロック信号を出力可能である。受信部 16 に設けられた PLL 回路 68 から出力される基準クロック信号に基づき、所定の周波数のクロック信号を撮像ユニット 12 内の回路へ出力する。

【0031】

イメージセンサ 52 から読み出された 1 フィールド／フレーム分のアナログ画素信号は、A/D 変換器 53 によって 8 ビット (256 階調) のデジタルパラレル画素信号に変換される。デジタルパラレル画素信号は、パラレル／シリアル変換器 54 によってデジタルシリアル信号に変換される。パラレル／シリアル変換は、周波数 600 MHz で行われる。

10

【0032】

図 3 に示すように、送信部 55 は、カウンタ 72、エッジ出力部 73、セクタ 74、フリップフロップ 76、バッファ回路 78 を備える。送信部 55 では、入力された一連のデジタルシリアル画素データの中に、所定のデータ幅間隔 (ここでは 18 ビット間隔) でクロックデータ (以下、同期クロックという) ED を埋め込む。

【0033】

同期クロック ED は、エッジを形成するデータ「01」によって構成されるデータであり、同期クロック ED によってシリアル画素データが 18 ビットずつ区分され、ワード境界が規定される。同期クロック ED の埋め込みは、カウンタ 72 によるデータ数のカウントおよびセクタ 74 による出力選択動作によって行われる。

20

【0034】

具体的に説明すると、伝送される画素データを 18 個分カウントする度に、エッジ出力部 73 から出力される同期クロック ED のデータ「01」を挿入し、エンベディットクロックのシリアルデータ PDS を生成する。シリアルデータ PDS は、高速の伝送レート (600 Mbps) で伝送される。

【0035】

一方、この同期クロック ED に対応したクロック信号 (以下、並走クロックという) PCL が、シリアルデータ PDS とは別に送信部 55 から出力される。並走クロック PCL は、その周期が同期クロック ED のデータ配置間隔に対応する。すなわち、同期クロック ED は、並走クロック PCL のエッジ部分と同じタイミング／位相で埋め込まれており、シリアルデータの中で同期クロック ED が繰り返し現れる周波数は、並走クロック PCL の周波数と一致する。

30

【0036】

並走クロック PCL は、PLL 回路 56 から出力されるクロック信号に基づいて生成される。ここでは、30 MHz の周波数をもつ低速クロック信号として、並走クロック PCL が送信部 55 から出力される。なお、並走クロック PCL の周波数をさらに分周させた周波数にしてもよい。

【0037】

図 2 に示すように、一連のシリアルデータ PDS と並走クロック PCL は、それぞれ異なる信号線によってコネクタ部 10C の受信部 16 へ送信される。受信部 16 は、ラッチ検出部 62、位相制御回路 64、画素データ抽出部 66、シリアル／パラレル変換器 69、さらに PLL 回路 67、68 を備える。

40

【0038】

PLL 回路 67 は、位相検出器、LPF、VOC、分周器とともに、位相シフト回路を備えている。スコープ先端部 10T から送信されてきた並走クロック PCL は、PLL 回路 67 に入力する。PLL 回路 67 は、入力した並走クロック PCL によって位相をロックし、30 MHz / 600 MHz のクロック信号をラッチ検出部 62、位相制御回路 64、画素データ抽出部 66 へ出力する。

【0039】

50

ラッチ検出部 62 は、位相ロック後の PLL 回路 67 から出力される周波数 30 MHz のクロック信号（以下、抽出クロックという）SCL に従って、シリアル画素データ PDS の中から 2 ビットの隣接するデータを定期的に保持する。位相制御回路 64 は、保持されたデータが埋め込んだ同期クロック ED のデータ配列「01」に相当するか否かを判断する。

【0040】

同期クロック ED を繰り返しラッチしている場合、PLL 回路 67 から出力される抽出クロック SCL とシリアル画素データに埋め込まれた同期クロック ED との間に同期ずれがないと判断する。一方、同期ずれがあると判断した場合、位相制御回路 64 は、PLL 回路 64 へ抽出クロック SCL の位相をずれに応じたシフト量だけシフトさせる制御信号を出力する。

10

【0041】

このようなフィードバック制御により、同期クロック ED と抽出クロック SCL の位相が一致し、同期ずれが解消される。同期クロック ED と並走クロック PCU との間で同期ずれがない状態で PLL 回路 67 が位相ロックすることによって、シリアルデータの中から同期クロック ED を境界とする一連の画素データ列を順次取り出すことができる。

【0042】

画素データ抽出部 66 では、抽出クロック SCL に従い、送られてくるシリアル画素データの中から同期クロック ED を分離し、画素データを抽出する。そして、シリアル/パラレル変換器 69 によってシリアル画素データがパラレル画素データに変換される。

20

【0043】

図 5 は、受信部におけるシリアルデータ受信処理のフローチャートである。

【0044】

シリアル画素データを受信すると、PLL 回路 67 の位相ロック後に、ラッチしたデータが同期クロック ED のデータ「01」と対応している否かを検出する。定期的に同期クロック ED のデータが続けて検知される場合、シリアル画素データを読み出すことが有効となり、シリアル画素データが抽出される（S101～S104）。一方、同期クロック ED が続けて検知されない場合、同期ずれが解消されるように PLL 回路 67 の位相がシフト制御される（S105）。

【0045】

30

このように第 1 の実施形態によれば、ビデオスコープ先端部に設けられた送信部 55 において、シリアル画素データに対し所定間隔で同期クロック ED を埋め込み、シリアルデータ PDS をプロセッサ側へ送信する。それとともに、同期クロック ED の周波数と同じ並走クロック PCL を、シリアルデータ PDS とは別に送信する。

【0046】

ビデオスコープのコネクタ部に設けられた受信部 16 では、並走クロック PCL によって PLL 回路 67 が位相をロックし、画素データ抽出部 66 において、同期クロック ED とシリアル画素データを分離する。そして、同期クロック ED を正確にラッチしているか確認し、同期ずれが生じている場合、PLL 回路を位相シフト制御し、同期クロックの出現位置と並走クロック信号のエッジ部分とを一致させる。

40

【0047】

8b/10b 伝送方式のような変換テーブルを用いることなく、埋め込んだ同期クロックを正確に検知し、シリアル画素データを取り出すことができる。特に、スコープ先端部における回路構成としてはセクタ等を設けるだけでよいため、スコープ先端部の回路構成が簡素化できる。

【0048】

また、受信部において、ワードアライナなどのワード境界を検知する回路を設ける必要がない。一方、並走クロックはシリアル伝送レートに比べて周波数が十分小さい低速クロック信号であるため、EMC 試験においても高周波ノイズ発生を抑えることができる。

【0049】

50

なお、並走クロックの周波数は同期クロックE Dに合わせた周波数に限定されず、それ以外の小さい周波数でもよい。例えば、8 b / 1 0 b と同等の周波数にすることも可能である。

【 0 0 5 0 】

次に、図 6 ~ 図 1 0 を用いて第 2 の実施形態である電子内視鏡装置について説明する。第 2 の実施形態では、第 1 の実施形態のように同期クロックをシリアルデータと並走して送信せず、クロック信号に対応したシリアルデータを初期設定として送信し、受信部においてそのデータから同期用クロック信号を生成する。

【 0 0 5 1 】

図 6 は、第 2 の実施形態における送信部と受信部のブロック図である。図 7 は、受信部に設けられた論理回路の回路図である。図 8 は、シリアルデータおよび帰還抽出クロックのタイミングチャートである。

10

【 0 0 5 2 】

撮像ユニット 1 1 2 は、送信部 1 5 5 を備える。送信部 1 5 5 は、同期クロックが埋め込まれたシリアル画素データ P D S を伝送レート 6 0 0 M b p s で出力する。第 1 の実施形態のように別途低速クロック信号を並走させない。

【 0 0 5 3 】

受信部 1 1 6 は、P L L 回路 1 2 0、論理回路 1 2 2、セクタ 1 2 4、コントローラ 1 3 0 を備える。P L L 回路 1 2 0 は、撮像ユニット 1 1 2 から送られてくるイニシャルクロックデータ I C L に応じて位相をロックする。

20

【 0 0 5 4 】

イニシャルクロックデータ I C L は、1 6 ビットごとに「 0 」のデータ列と「 1 」のデータ列が交互に入れ替わり、図 2 に示す並走クロック P C L と同じような波形をもつシリアルデータである。P L L 回路 1 2 0 は、このシリアルデータによって位相をロックし、周波数 3 0 M H z、6 0 0 M H z のクロック信号をコントローラ 1 3 0 へ出力する。

【 0 0 5 5 】

さらに P L L 回路 1 2 0 は、位相をわずかにシフトさせた対となる位相シフトクロックデータ A D、B D を論理回路 1 2 2 へ出力する。図 7 に示すように、論理回路 1 2 2 は、A N D 回路 1 3 2、1 3 4 と、O R 回路 1 3 6 から構成される。

【 0 0 5 6 】

30

シリアルデータは、論理回路 1 2 2 を経由あるいは経由しないでセクタ 1 2 4 に入力される。セクタ 1 2 4 は、コントローラ 1 3 0 からの制御信号によって論理回路 1 2 2 を経由もしくは論理回路 1 2 2 を経由しないシリアルデータを選択的に出力し、P L L 回路 1 2 0 へ送る。

【 0 0 5 7 】

コントローラ 1 3 0 は、第 1 の実施形態における抽出クロックの検知、同期ずれの検知およびシリアル画素データの抽出機能をいずれも備えている。P L L 回路 1 2 0 を経由してコントローラ 1 3 0 に入力したシリアル画素データは、P L L 回路 1 2 0 から出力される周波数 3 0 M H z、6 0 0 M H z のクロック信号によって埋め込まれた同期クロック E D のデータを検出し、シリアル画素データを分離、抽出する。

40

【 0 0 5 8 】

図 8 には、送信部 1 5 5 から送信されるシリアル画素データ P D S およびイニシャルクロックデータ I C L と、論理回路 1 2 2 によって生成されるクロック（ここでは、帰還抽出クロック K C L という）を示している。第 1 の実施形態と同様、同期クロック E D がシリアル画素データ 1 8 ビットごとに埋め込まれている。

【 0 0 5 9 】

イニシャルクロックデータ I C L は、図 8 に示すように同期クロック E D の位置に応じてエッジ部分が形成されるシリアルデータであり、第 1 の実施形態で示した並走クロック P C L と同じような波形、周波数をもつ。

【 0 0 6 0 】

50

P L L 回路 1 2 0 は、イニシャルクロックデータ I C L が入力されると位相をロックし、位相ロック後には、イニシャルクロックデータ I C L の位相をわずかにずらした 1 組の位相クロックデータ A D、B D を論理回路 1 2 2 へ出力する。

【 0 0 6 1 】

1 組の位相シフトクロックデータ A D、B D は、イニシャルクロックデータ I C L を正負反対方向に同じシフト量 Z だけ位相シフトさせたデータであり、シフト量 Z は、同期クロック E D を埋め込むタイミング T 内に収まっている。

【 0 0 6 2 】

1 組の位相シフトクロックデータ A D、B D は、イニシャルクロックデータ I C L に対応するクロックデータを論理回路 1 2 2 によって生成するために作り出されるシリアルデータである。これを P L L 回路 1 2 0 へ入力させることにより、P L L 回路 1 2 0 は、このデータを下にして位相をロックし、所定の周波数のクロック信号を出力することができる。

10

【 0 0 6 3 】

P L L 回路 1 2 0 へ入力される帰還抽出クロック K C L の入力デューティ比は、4 0 ~ 6 0 パーセントの範囲（ここでは、およそ 5 0 パーセント）に収まるように規定されている。これは、水晶などによって基準クロック信号を発生させるときの規格、仕様に従ったものである。

【 0 0 6 4 】

P L L 回路 1 2 0 は、自ら出力した位相シフトクロックデータ A D、B D を出力し、論理回路 1 2 2 によって、P L L 回路 1 2 0 へ入力すべきクロック信号が生成される。このような自己回帰的なクロック信号入力により、第 1 の実施形態のような別途用意されたクロック信号を用いなくても、P L L 回路として機能することができる。

20

【 0 0 6 5 】

図 9 は、受信側における同期調整処理のフローチャートである。図 1 0 は、送信側におけるイニシャルクロックデータ送信処理のフローチャートである。

【 0 0 6 6 】

まず、シリアルデータを送信する前段階において、イニシャルクロックデータを送信部から送信する。撮像ユニット 1 2 は、イニシャルクロックデータ I C L の送信要求があると（S 2 0 1）、イニシャルクロックデータ I C L をトレーニングパターン（初期パターンデータ）として送信する（S 3 0 1、S 3 0 2）。

30

【 0 0 6 7 】

受信側では、セレクトア 1 2 4 の切り替えによってイニシャルクロックデータ I C L が P L L 回路 1 2 0 に入射し、P L L 回路 1 2 0 において位相がロックする（S 2 0 2、S 2 0 3）。P L L 回路 1 2 0 が位相ロックすると、シリアルデータ伝送を送信部 1 5 5 へ要求する（S 2 0 4）。これによって、同期クロック E D が埋め込まれたシリアルデータが受信部 1 1 6 へ送信される（S 3 0 1、S 3 0 3）。

【 0 0 6 8 】

また、受信部 1 1 6 では、シリアルデータ送信要求とともに、セレクトア 1 2 4 を切り替える。それとともに、P L L 回路 1 2 0 は、位相ロック後に位相シフトした位相シフトクロックデータ A D、B D を論理回路 1 2 2 へ出力する（S 2 0 5）。これにより、帰還抽出クロック K C L によってシリアルデータの中から画素データが抽出される。

40

【 0 0 6 9 】

コントローラ 1 3 0 は、第 1 の実施形態と同様、帰還抽出クロック K C L に従ってラッチするデータが同期クロック E D のデータ「0 1」であるか判断し、定期的に同期クロック E D が続けてラッチされない場合、再度、イニシャルクロックデータ I C L を送信するように要求する（S 2 0 6、S 2 0 1）。これによって、再び P L L 回路 1 2 0 がイニシャルクロックデータ I C L に基づいて位相ロックする。シリアルデータ転送中、P L L 回路 1 2 0 は、帰還抽出クロック K C L に従って位相をロックし続ける。

【 0 0 7 0 】

50

このように第2の実施形態によれば、ビデオスコープ先端部に設けられた送信部155において、シリアル画素データに対し所定間隔で同期クロックEDを埋め込み、シリアルデータPDSをスコープコネクタ部に設けられた受信部へ送信する。また、受信部からの要求に応じて、同期クロックEDと同じ位相、周波数をもつイニシャルクロックデータICLを送信する。

【0071】

受信部116では、PLL回路67がイニシャルクロックデータICLによって位相をロックし、位相シフトクロックデータAD、BDを出力する。そして、論理回路122によって、PLL回路120へ自己帰還させる帰還抽出クロックKCLを生成し、シリアルデータ転送中の間、帰還抽出クロックKCLによってPLL回路120が位相ロックし続ける。コントローラ130は、同期クロックEDを正確にラッチしているか確認し、同期ずれが生じている場合、再びイニシャルクロックデータICLを送信させ、再度位相を調整する。

10

【0072】

同期クロック信号を並走させて送信させなくても、PLL回路によってシリアルデータ中に埋め込まれた同期クロックEDを検知し、シリアル画素データを抽出することができる。

【0073】

なお、プロセッサに受信部を設けるように構成してもよい。

20

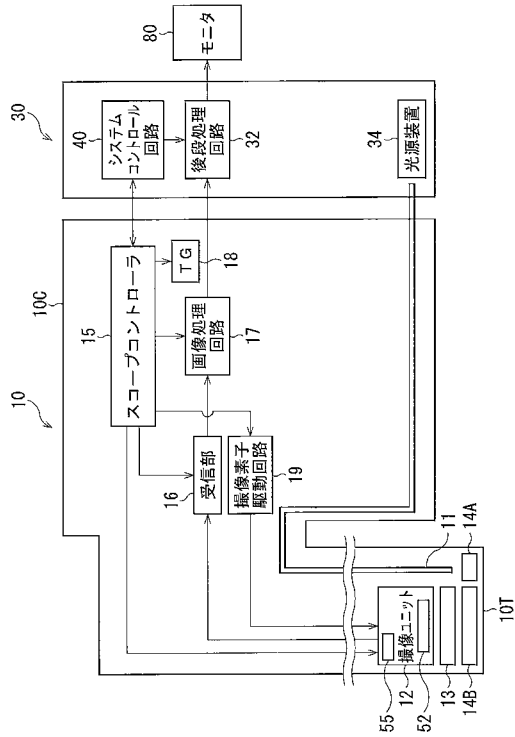
【符号の説明】

【0074】

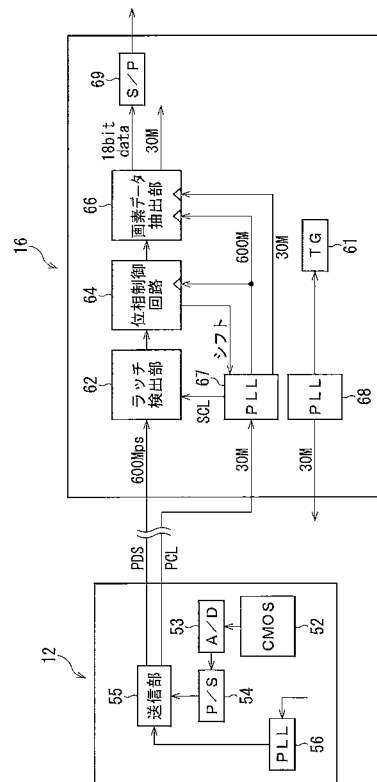
- 10 ビデオスコープ
- 12 撮像ユニット
- 16 受信部
- 30 プロセッサ
- 55 送信部
- ED 同期クロック
- PDS シリアルデータ
- PCL 並走クロック
- KCL 帰還抽出クロック
- SCCL 抽出クロック
- ICL イニシャルクロックデータ
- AD、BD 位相シフトクロックデータ

30

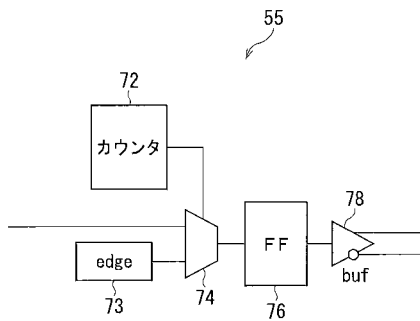
【 図 1 】



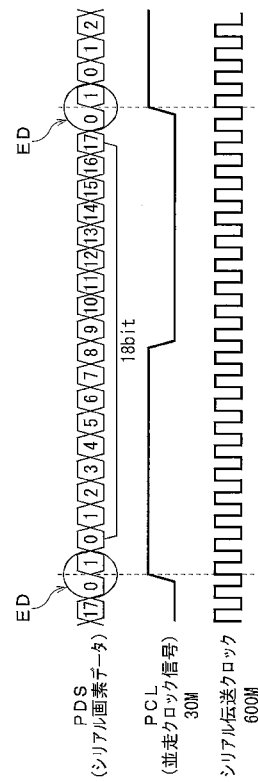
【 図 2 】



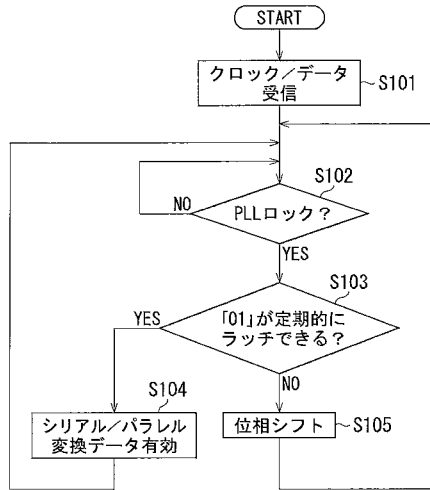
【 図 3 】



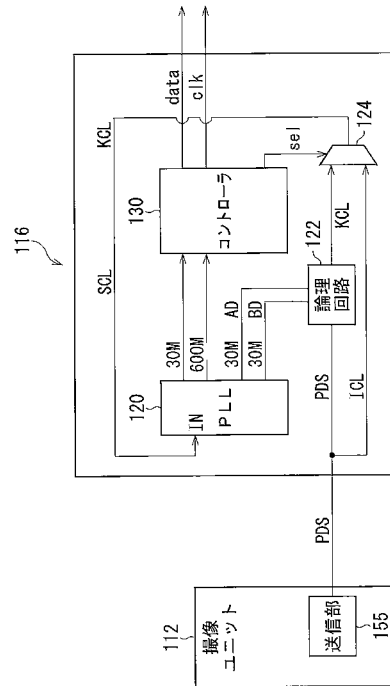
【 図 4 】



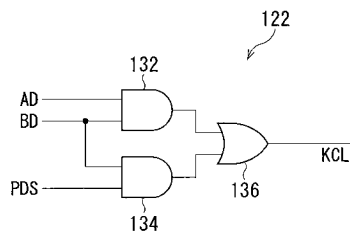
【図 5】



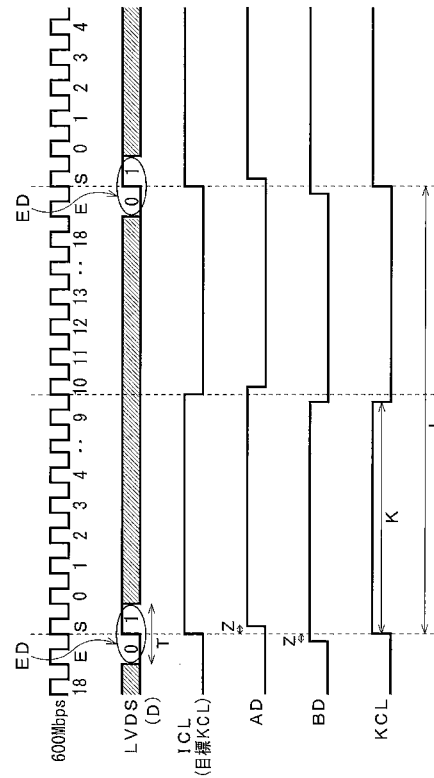
【図 6】



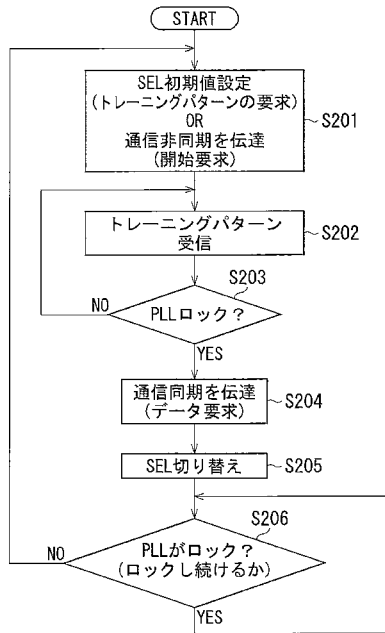
【図 7】



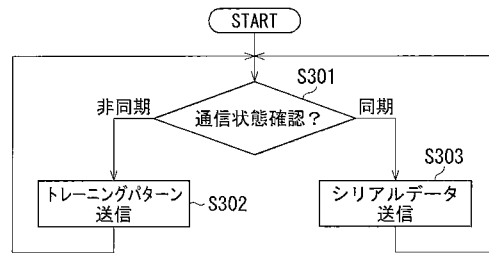
【図 8】



【図 9】



【図 10】



フロントページの続き

F ターム(参考) 4C161 AA00 BB00 CC06 DD00 JJ19 LL02 NN03 UU01 UU09
5C054 CC07 EA03 EB01 HA12

专利名称(译)	内视镜装置		
公开(公告)号	JP2014110855A	公开(公告)日	2014-06-19
申请号	JP2012266534	申请日	2012-12-05
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
[标]发明人	小林 徹至		
发明人	小林 徹至		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
FI分类号	A61B1/04.372 G02B23/24.B H04N7/18.M A61B1/045.613 A61B1/05		
F-TERM分类号	2H040/CA04 2H040/CA11 2H040/CA12 2H040/CA23 2H040/DA13 2H040/GA02 2H040/GA11 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD00 4C161/JJ19 4C161/LL02 4C161/NN03 4C161/UU01 4C161/UU09 5C054/CC07 5C054/EA03 5C054/EB01 5C054/HA12		
代理人(译)	松浦 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过内窥镜设备中的简单配置提供像素数据的高速串行传输而没有任何同步偏差。在甲视频内窥镜前端发射机55提供在，相对于串行像素数据规定的间隔嵌入一同步时钟和串行数据PDS传送到处理器侧。同时，它与串行数据PDS分开地发送与同步时钟的频率相同的并行运行时钟PCL。在由并行运行时钟PCL的视频内窥镜的连接部部分，PLL电路67提供的接收部分16锁定的相位，在像素数据提取部66分离的同步时钟和串行像素数据。然后，为了确保当同步发生偏离准确锁存的同步时钟，PLL电路是移相控制，以并行运行时钟信号同步时钟的发生位置的边缘匹配。The

